



Take Your Analog Models to the Next Level

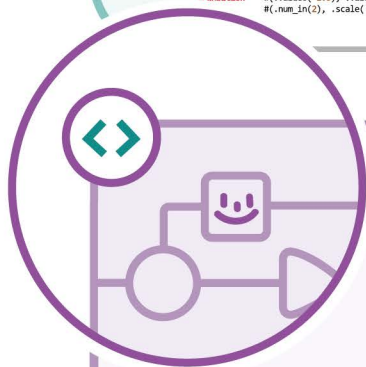


XMODEL を用いることで、SystemVerilog上でアナログ/ミックスド・シグナル システムの速度と精度が両立するシミュレーションができます。

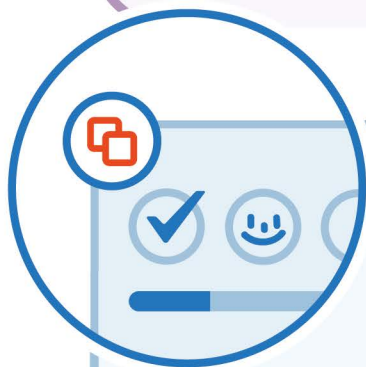
```

#include "xmodel.h"
module tb_txeq();
parameter real tr = 125e-12;
// parameter definitions and signal declarations
xbit clk, data_in;
xbit data;
xreal drv;
xreal tx_out;
// clock and data generation
clk_gen #(.freq(1.0e9), .R3_rms(1.0e-12)) clk_tx(clk);
prbs_gen #(.length(15)) data_gen(.trig(clk), .out(data_in));
dff_xbit dff0(d(data_in), q(data0)), .clk(clk);
dff_xbit dff1(d(data0), q(data1)), .clk(clk);
// transmitter with FIR equalizer
transition #(.value0(-1.0), .value1(1.0), .rise_time(tr), .fall_time(tr)) trans0(d);
transition #(.value0(-1.0), .value1(1.0), .rise_time(tr), .fall_time(tr)) trans1(d);
transition #(.num_in(2), .scale*(-0.1, 0.4)) add(.in(drv), .out(tx_out));

```



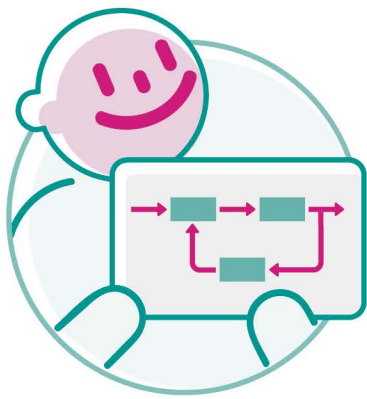
GLISTER は、Cadence® Virtuoso® Schematic Editor に組み込まれたXMODELとMODELZENのGUIです。



MODELZEN を用いることで、回路図またはネットリストから自動的にモデルを生成できます。

XMODEL

is for Everyone!

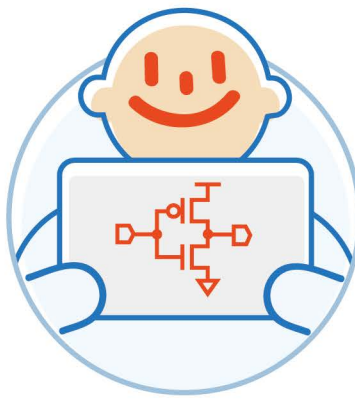


System Architects

XMODELの高速イベントドリブンシミュレーションを使って、アナログ/ミックスド・シグナルシステムのアーキテクチャを探索

- GLISTERを使って、回路図でシステムレベルモデルを構成
- 他のアナログ機能モデル (Verilog-A/MSやReal Number Verilog)より10~100倍高速化
- 合成できるデジタルHDLモデルを含むシステムレベルの動作を検証

XMODEL as
Top-Down Tool



Circuit Designers

回路図ベースのアナログ設計環境で簡単に回路モデルを構成、または自動生成

- GLISTERの豊富なプリミティブを使って、回路図でトップダウン機能モデルを構成
- 回路レベルモデリング(CLM)を使って、SystemVerilogでアナログ回路の動作を記述
- MODELZENを用いることで、回路から自動的にモデルを抽出可能

XMODEL as
Bottom-Up Tool



Verification Engineers

デジタルとアナログの両方のコンポーネントからなる大規模システムのチップレベル機能を検証

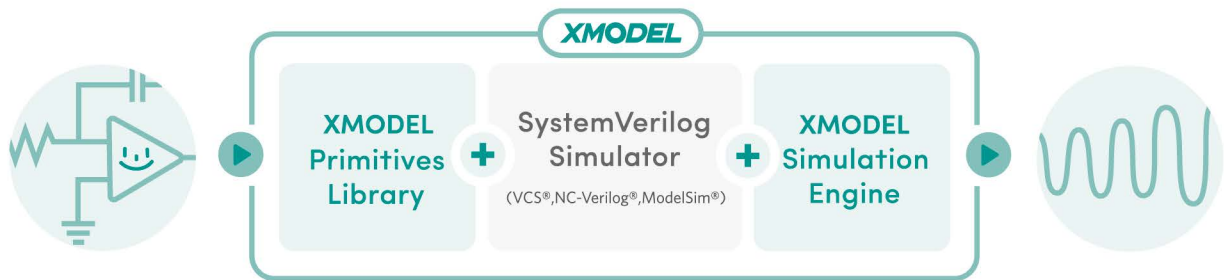
- 例. デジタル較正機能搭載RFトランシーバ、高速I/O搭載プロセッサ、内部発電でのDRAM、...
- SystemVerilogの単一シミュレーションプラットフォームで、超高速のイベントドリブンシミュレーションを利用
- 既存のデジタル検証フロー (例.UVM)やミックスド・シグナルシミュレーションフローとシームレスに統合

XMODEL as
Sign-Off Tool

XMODEL

Empower SystemVerilog with Event-Driven Analog Models

XMODELはVCS、NC-Verilog、Questa/ModelSimなど、既存のSystemVerilogシミュレータの拡張パッケージであり、機能モデルまたは回路レベルモデルを使ってアナログ/ミックスド・シグナル システムを高速で正確にシミュレーションします。XMODELはSPICEを起動することなくSystemVerilog上でアナログシミュレーションの実行ができるため、SPICE、Verilog-AMS、Real-Number Verilogなど、既存のツールに課題をもたらすデジタル・アナログ混載の大規模で複雑なミックスド・シグナル・システムの検証に理想的です。



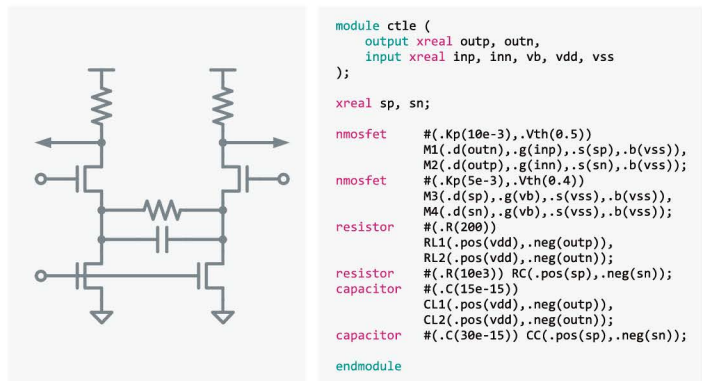
XMODELの機能モデルによるイベントドリブン シミュレーション

XMODELは革新的なアルゴリズムを使ってアナログ波形を関数形式で表現し、イベントドリブン手法で効率的に計算します。その結果、XMODELプリミティブで構成された機能モデルは、正確な結果を得るため波形上のすべての値を計算する必要のあるVerilog-AMSやReal-Number Verilogに対して最大10-100倍の高速化を実現します。



XMODELによるSystemVerilogでの回路レベルシミュレーション

XMODELは機能プリミティブに加えてレジスタ、キャパシタ、トランジスタ、伝送線路などの回路レベルプリミティブを提供します。この回路レベルプリミティブを用いることで、負荷効果、非線形性、スイッチング、複数のドライバ効果など、Real-Number Verilog(wrealモデル)が直接サポートしない様々なアナログエフェクトを持つモデルを簡単に構成できます。さらに、シミュレーションはSPICEを起動することなく、SystemVerilogだけで実行できます。



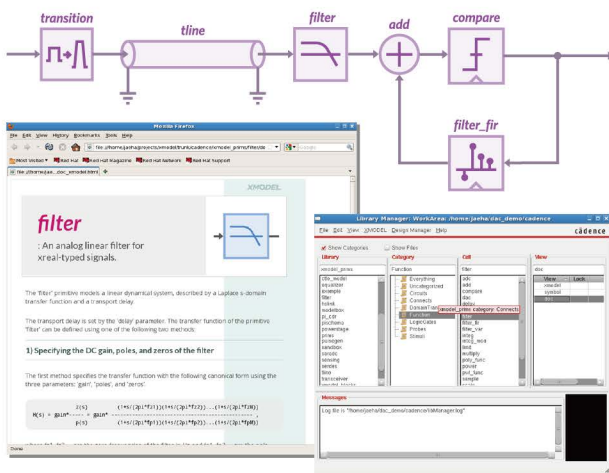
GLISTER

Model Circuits in Schematics without Writing Codes

GLISTERは、Cadence® Virtuoso® 環境に組み込まれたXMODELとMODELZEN向けのGUIです。GLISTERを用いることで、コードを書かなくても簡単に回路図でアナログモデルを構成し、XMODELシミュレーションが実行できます。

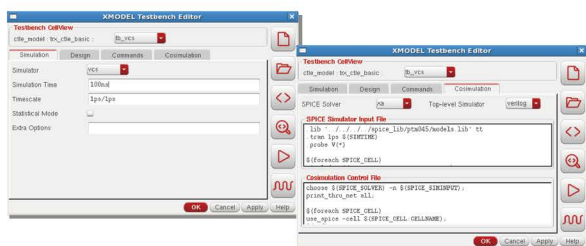
XMODELプリミティブ シンボルでモデルを構築

GLISTERは、豊富なXMODELプリミティブを回路図シンボルとして提供し、それをSystemVerilogモデルにネットリストすることができます。したがって、GLISTERを使ってモデルを作成することは、コーディングなしで単にプリミティブシンボルを回路図に配置し、ワイヤでそれらを接続することを意味します。GLISTERを使ったモデル構成は、Cadence® Design Environmentに組み込まれたオンラインドキュメントでより簡単にできます。



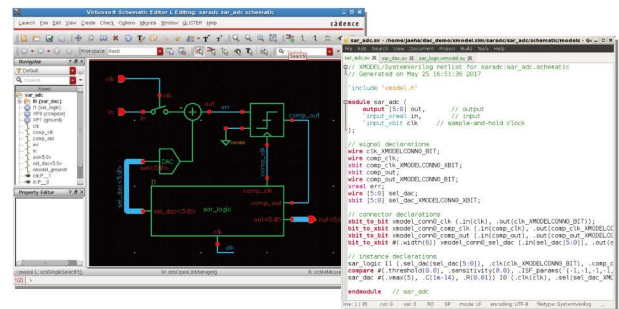
統合されたテストベンチ管理

GLISTERのTestbench Editorを用いることで、シミュレーションオプション、階層構成、ソースファイルなどをGUIを使ってCadence® デザインデータベースのセルビューとしてXMODELテストベンチを定義できます。また、各テストベンチセルビューはMakefileとソースファイルを含むシミュレーションディレクトリとしてエクスポートでき、コマンドラインからのバッチ処理を可能にします。



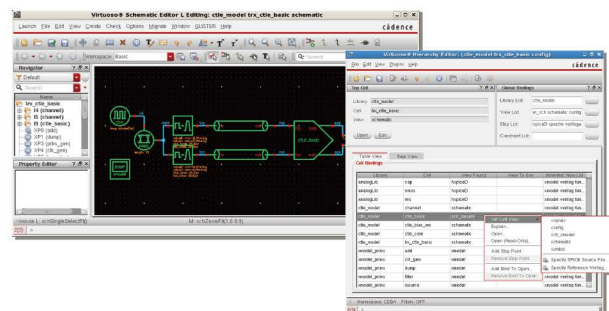
ミックスドシグナルの階層的ネットリスト生成

GLISTERはwire、real、xbit、およびxrealなどのデジタルとアナログのコンポーネントを接続する種々の信号タイプが回路図モデルに含まれることを理解しています。GLISTERは回路図をSystemVerilogモデルにネットリストするとき、設計階層を横断することで自動的に適切な信号タイプを決定し、一貫した信号タイプと必要なコネクタを備えたモデルを生成します。



XMODEL-SPICE Co-simulationサポート

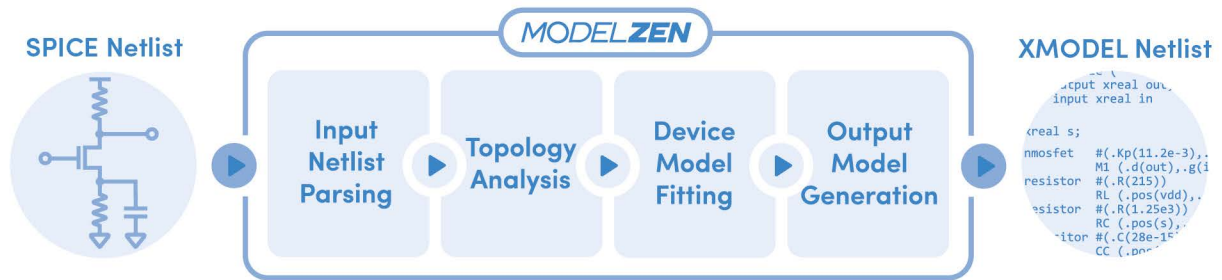
回路とモデルの両方のビューが設計階層に共存するとき、GLISTERはSystemVerilogモデルファイル、SPICE/Spectre ネットリスト、ミックスドシグナルシミュレーション制御ファイルなど、XMODEL-SPICE co-simulationに必要なファイルを準備します。Cadence® Hierarchy Editorを使って、各セルまたはインスタンスに使えるセルビューを選択できます。GLISTERのTestbench Editorは、Synopsys®のVCS®とXA、Cadence®のNCVerilog®とAPSなど、様々なシミュレータと統一されたインターフェイスを提供します。



MODELZEN

Create Analog Models with Peace of Mind

MODELZENは、XMODELプリミティブを使って回路をSystemVerilogモデルに変換させるアナログ回路用自動モデル生成ツールです。



Quick and Correct-by-Constructionによるアナログモデルの生成

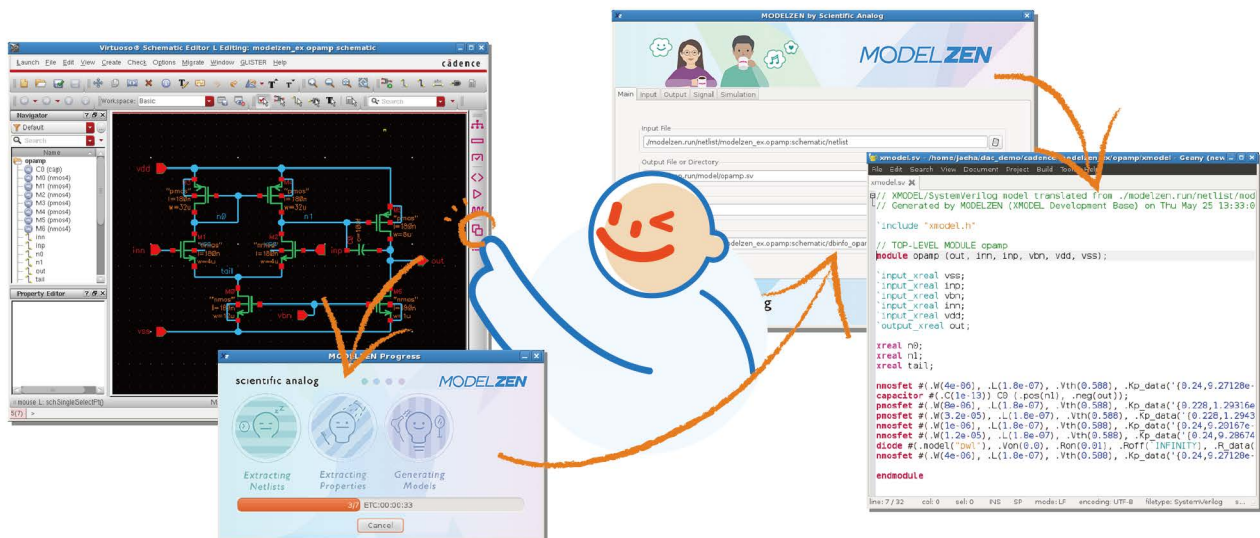
基本的に、MODELZENはXMODELの回路レベルシミュレーション機能を活用して、与えられた回路の構造モデルを生成します。つまり、MODELZENは回路を構成する個々の素子の特徴付けることでモデルを構築し、結果としてのデバイスモデルを元の回路のトポロジどおりに接続します。この手法は、回路の機能を理解する必要がなく、correct-by-constructionモデルを保証します。さらに、生成されたモデルはXMODELのイベントドリブンシミュレーションによって高速で実行されます。MODELZENを用いることで、わずか数時間でフル・チップ・モデルが得られます。

アナログの専門知識がなくてもモデルを生成可能

MODELZENを用いることで、アナログの専門家でなくてもアナログ回路の高性能モデルを作成できます。MODELZENの構造モデリング手法のおかげで、テストエンジニアは回路設計者の助けなしでもシステムレベル検証用モデルを生成できます。また、回路設計者も回路が更新されるたびに楽にモデルの再構築ができます。

クリック1回でモデルを生成

GLISTERと共にMODELZENを用いることで、クリック1回でCadence® Virtuoso®の回路図からモデルを自動的に生成できます。GLISTERはネットリスト生成や属性抽出などのモデル生成の準備段階を合理化し、生成されたモデルをデザイナーデータベースにインポートして最新の状態に保ちます。



Take Your Analog Models to the Next Level

IC Design Flow with XMODEL

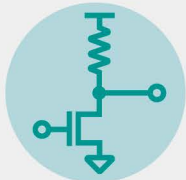
TOP-DOWN MODELING



1 Idea



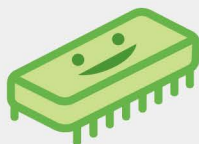
2 Functional Model



3 Circuit Implementation



4 Verification Model

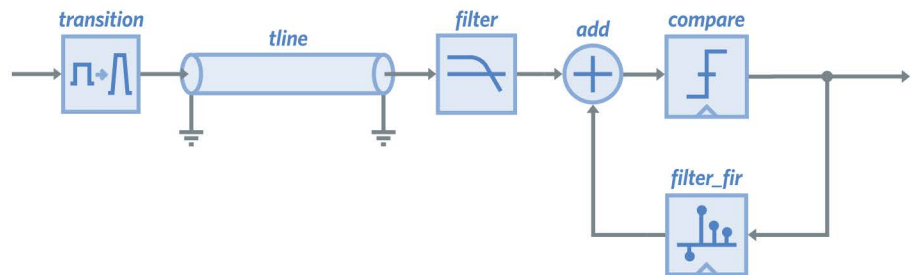


5 IC Product

BOTTOM-UP MODELING

XMODELプリミティブを使ったトップダウン モデリング

豊富なXMODELプリミティブを用いることで、回路設計を始める前にアイデアを機能モデルに記述し、その動作をテストすることが簡単にできます。

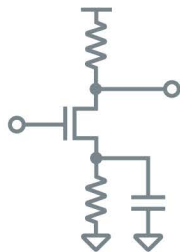


MODELZEN / MODELFITによるボトムアップ モデリング

MODELZENやMODELFITを用いることで、回路設計が終わった後、回路から抽出したモデルでシステムレベルの検証を迅速に行うことができます。

MODELZEN

MODELZEN 回路のネットリストを同等のXMODEL回路レベルモデルに変換します。



```

module ctile (
    output xreal out,
    input xreal in
);
    xreal s;
    nmosfet #(.Kp(11.2e-3), .Vth(0.45))
    M1 (.d(out), .g(in), .s(s), .b(vss));
    resistor #(.R(215))
    RL (.pos(vdd), .neg(out));
    resistor #(.R(1.25e3))
    RC (.pos(s), .neg(vss));
    capacitor #(.C(28e-15))
    CC (.pos(s), .neg(vss));
endmodule
    
```

MODELFIT

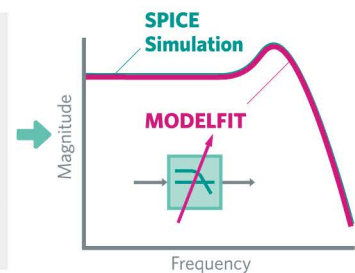
MODELFIT 機能
モデルのパラメータをSPICEシミュレーションの結果と対照して校正します。

```

import xmulan
import modelfit

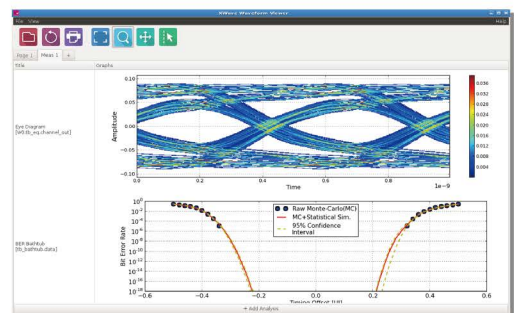
row = xmulan.rowml()
row.hspice("ctile.hsp")
row.readmeas("ctile.ac0")
freq = row['HERTZ']
data = row['v:out']

modelfit.modelfit(model="filter",
    in=freq, out=data,
    filename="ctile_filter.dat")
    
```



XMODELによる高速システムレベル検証

トップダウンまたはボトムアップのどちらのモデルでも、XMODELはSPICEによるco-simulationサポートでSystemVerilogでの最も速いイベントドリブンシミュレーションを実現します。



XMODEL

Empower SystemVerilog with
Event-Driven Analog Models

GLISTER

Model Circuits in Schematics
without Writing Codes

MODELZEN

Create Analog Model with
Peace of Mind

About Scientific Analog, Inc.

Scientific Analog, Inc.は、デジタル設計のように体系的で生産的なアナログIC設計を目指して2015年に設立されました。特に、確立されたデジタルフロー内のアナログモデルの効果的な利用は、成功したミックスド・シグナルICの設計と検証への鍵だと信じています。XMODEL、GLISTER、MODELZENは、この目標を達成するための最も重要な製品です。現在、アメリカ、韓国、中国、インドの25以上の企業や大学がXMODELを利用しています。

Contact Us

Scientific Analog, Inc. または製品のライセンスやサポートの詳細については、下記のメールアドレスまでご連絡、またはウェブサイトをご覧ください。

Email

info@scianalog.com

Website

<http://www.scianalog.com>